



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月 9日

出願番号

Application Number:

特願2001-067646

出願人

Applicant(s):

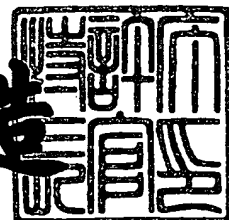
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3103968

【書類名】 特許願

【整理番号】 J0082685

【提出日】 平成13年 3月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 伊藤 昭彦

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100093388

【弁理士】

【氏名又は名称】 鈴木 喜三郎

【連絡先】 0266-52-3139

【選任した代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置の駆動回路、電気光学装置、電気光学装置の駆動方法および電子機器

【特許請求の範囲】

【請求項 1】 1 フレームを複数のサブフィールドに分割し、マトリクス状に配設された複数の画素を階調データに基づいて該サブフィールド毎にオンまたはオフすることによって階調表示を行う電気光学装置の駆動方法であって、

第 1 の重み付けを有し連続して発生される複数の第 1 のサブフィールドと、第 2 の重み付けを有し連続して発生される複数の第 2 のサブフィールドとのタイミングを規定するタイミング信号を生成するタイミング信号生成回路と、

階調データを変化させるに伴い、前記第 1 のサブフィールドのうち前記第 2 のサブフィールドに近接するものから順次オン状態に設定され、かつ、前記第 2 のサブフィールドのうち前記第 1 のサブフィールドに近接するものから順次オン状態に設定されるように、前記第 1 および第 2 のサブフィールドのオン／オフ状態を指定するサブフィールドデータを生成するサブフィールドデータ生成回路と

を有することを特徴とする電気光学装置の駆動回路。

【請求項 2】 前記タイミング信号生成回路は、前記第 1 および第 2 のサブフィールドの間に階調データに拘らずオン状態になる第 3 のサブフィールドのタイミング信号を生成することを特徴とする請求項 1 記載の電気光学装置の駆動回路。

【請求項 3】 前記サブフィールドデータ生成回路は、階調データの第 1 の部分の増加に伴って前記第 1 のサブフィールドのうち前記第 2 のサブフィールドに近接するものから順次オン状態に設定され、かつ、階調データの第 2 の部分の増加に伴って前記第 2 のサブフィールドのうち前記第 1 のサブフィールドに近接するものから順次オン状態に設定されるように、前記サブフィールドデータを生成することを特徴とする請求項 1 記載の電気光学装置の駆動回路。

【請求項 4】 前記階調データが偶数ビットから構成される場合は、前記第 1 および第 2 の部分はそれぞれ該階調データのビット数を 2 等分して成る下位データおよび上位データであり、

前記階調データが奇数ビットから構成される場合は、前記第 1 および第 2 の部分は、一方が他方より 1 ビット多くなるように該階調データのビット数を分割して成る下位データおよび上位データであることを特徴とする請求項 3 記載の電気光学装置の駆動回路。

【請求項 5】 前記電気光学装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極と、前記画素電極との間に液晶を挟んだ対向電極とを有する液晶装置であることを特徴とする電気光学装置の駆動回路。

【請求項 6】 前記電気光学装置は、前記スイッチング手段を導通・非導通制御することにより前記画素電極及び前記対向電極に電荷を保持し、前記複数のサブフィールド期間にわたる実効電圧により液晶を制御して階調を表示することを特徴とする請求項 5 記載の電気光学装置の駆動回路。

【請求項 7】 複数の走査線と、複数のデータ線と、これら走査線およびデータ線の各交差に対応して配設され画素を構成する画素電極と、前記画素電極毎に設けられ、当該走査線を介して供給される走査信号によって、当該データ線と当該画素電極との導通を制御するスイッチング素子とを備えた素子基板と、

前記画素電極に対して対向配置された対向電極を備える対向基板と、

前記素子基板と前記対向基板との間に挟持された電気光学材料と、

1 フレームを分割したサブフィールド毎に前記走査信号を前記走査線の各々に順次供給する走査線駆動回路と、

第 1 の重み付けを有し連続して発生される複数の第 1 のサブフィールドと、第 2 の重み付けを有し連続して発生される複数の第 2 のサブフィールドとのタイミングを規定するタイミング信号を生成するタイミング信号生成回路と、

階調データが変化するに伴い、前記第 1 のサブフィールドのうち前記第 2 のサブフィールドに近接するものから順次オン状態に設定され、かつ、前記第 2 のサブフィールドのうち前記第 1 のサブフィールドに近接するものから順次オン状態に設定されるように、前記第 1 および第 2 のサブフィールドのオン／オフ状態を指定するサブフィールドデータを生成するサブフィールドデータ生成回路と、

前記サブフィールドデータに基づくデータ信号を、それぞれ当該画素に対応す

る走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路と

を具備することを特徴とする電気光学装置。

【請求項 8】 前記タイミング信号生成回路は、前記第 1 および第 2 のサブフィールドの間に階調データに拘らずオン状態になる第 3 のサブフィールドのタイミング信号を生成することを特徴とする請求項 7 記載の電気光学装置。

【請求項 9】 前記サブフィールドデータ生成回路は、階調データの第 1 の部分の増加に伴って前記第 1 のサブフィールドのうち前記第 2 のサブフィールドに近接するものから順次オン状態に設定され、かつ、階調データの第 2 の部分の増加に伴って前記第 2 のサブフィールドのうち前記第 1 のサブフィールドに近接するものから順次オン状態に設定されるように、前記サブフィールドデータを生成することを特徴とする請求項 7 記載の電気光学装置。

【請求項 10】 前記階調データが偶数ビットから構成される場合は、前記第 1 および第 2 の部分はそれぞれ該階調データのビット数を 2 等分して成る下位データおよび上位データであり、

前記階調データが奇数ビットから構成される場合は、前記第 1 および第 2 の部分は、一方が他方より 1 ビット多くなるように該階調データのビット数を分割して成る下位データおよび上位データであることを特徴とする請求項 9 記載の電気光学装置。

【請求項 11】 前記画素電極との間に液晶を挟んだ対向電極を有することを特徴とする請求項 7 乃至 10 記載の電気光学装置。

【請求項 12】 前記スイッチング手段を導通・非導通制御することにより前記画素電極及び前記対向電極に電荷を保持し、前記複数のサブフィールド期間にわたる実効電圧により液晶を制御して階調を表示することを特徴とする請求項 11 記載の電気光学装置。

【請求項 13】 1 フレームを複数のサブフィールドに分割し、マトリクス状に配設された複数の画素を、階調データに基づいて、該サブフィールド毎にオンまたはオフすることによって階調表示を行う電気光学装置の駆動方法であって、

第 1 の重み付けを有し連続して発生される複数の第 1 のサブフィールドと、第

2の重み付けを有し連続して発生される複数の第2のサブフィールドとが設定され、

前記階調の変化に伴い、前記第1のサブフィールドのうち前記第2のサブフィールドに近接するものから順次オン状態に設定され、かつ、前記第2のサブフィールドのうち前記第1のサブフィールドに近接するものから順次オン状態に設定されるように、前記第1および第2のサブフィールドのオン／オフ状態を指定することを特徴とする電気光学装置の駆動方法。

【請求項14】 前記第1および第2のサブフィールドの間に階調データに拘らずオン状態になる第3のサブフィールドを配置することを特徴とする請求項13記載の電気光学装置の駆動方法。

【請求項15】 前記階調データの第1の部分の増加に伴って前記第1のサブフィールドのうち前記第2のサブフィールドに近接するものから順次オン状態に設定し、かつ、階調データの第2の部分の増加に伴って前記第2のサブフィールドのうち前記第1のサブフィールドに近接するものから順次オン状態に設定することを特徴とする請求項13または14記載の電気光学装置の駆動方法。

【請求項16】 前記階調データが偶数ビットから構成される場合は、前記第1および第2の部分はそれぞれ該階調データのビット数を2等分して成る下位データおよび上位データであり、

前記階調データが奇数ビットから構成される場合は、前記第1および第2の部分は、一方が他方より1ビット多くなるように該階調データのビット数を分割して成る下位データおよび上位データであることを特徴とする請求項15記載の電気光学装置の駆動方法。

【請求項17】 前記電気光学装置は、前記画素電極との間に液晶を挟んだ対向電極を有する液晶装置であることを特徴とする請求項13乃至16記載の電気光学装置の駆動方法。

【請求項18】 前記電気光学装置は、前記スイッチング手段を導通・非導通制御することにより前記画素電極及び前記対向電極に電荷を保持し、前記複数のサブフィールド期間にわたる実効電圧により液晶を制御して階調を表示することを特徴とする請求項17記載の電気光学装置の駆動方法。

【請求項 1 9】 請求項 7 乃至 1 2 の何れかに記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電気光学装置の駆動に用いて好適な電気光学装置の駆動回路、電気光学装置、請求項 1 1 載の電気光学装置、電気光学装置の駆動方法および電子機器に関する。

【0 0 0 2】

【背景技術】

電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極線管（C R T）に代わるディスプレイデバイスとして、各種情報処理機器の表示部や液晶テレビなどに広く用いられている。ここで、従来の電気光学装置は、例えば、次のように構成されている。すなわち、従来の電気光学装置は、マトリクス状に配列した画素電極と、この画素電極に接続された T F T（Thin Film Transistor：薄膜トランジスタ）のようなスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に充填された電気光学材料たる液晶とから構成される。

【0 0 0 3】

そして、このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して画素電極に、階調に応じた電圧の画像信号を印加すると、当該画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、当該液晶層における電荷の蓄積は、液晶層自身の容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、画素毎に光が変調され表示される濃度が変化することになる。このため、階調を表示することが可能となるのである。

【0 0 0 4】

この際、各画素の液晶層に電荷を蓄積させるのは1画面を表示するための期間に対して、その一部の期間で良いため、第1に、走査線駆動回路によって、各走査線を順次選択するとともに、その走査線の選択期間において、第2に、データ線駆動回路によってデータ線を順次選択し、第3に、選択されたデータ線に、階調に応じた電圧の画像信号をサンプリングする構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

【0005】

しかしながら、データ線に印加される画像信号は、階調に対応する電圧、すなわちアナログ信号である。このため、電気光学装置の周辺回路には、D/A変換回路やオペアンプなどが必要となるので、装置全体のコスト高を招致してしまう。くわえて、これらのD/A変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性に起因して、表示ムラが発生するので、高品質な表示が極めて困難である、という問題があり、特に、高精細な表示を行う場合に顕著となる。さらに、液晶等の電気光学物質において、印加電圧と透過率との関係は、電気光学物質の種類に応じて相違する。このため、電気光学装置を駆動する駆動回路としては、各種の電気光学装置に対応できる汎用のものが望まれる。

【0006】

上述した事情により、本出願人は、1フレームを複数のサブフィールドに分割し、サブフィールド毎に各画素をオン/オフする技術を開発している。この技術によれば、各サブフィールド内で画素がオン/オフされる際の印加電圧は階調に拘らず一定であり、理想的には1フレーム内で画素がオン状態になるデューティ比（または電圧実効値）によって画素の階調が決定される。

【0007】

ここで、デューティ比を0～100%の間で変化させながら電気光学装置の階調特性を観察すると、デューティ比0%付近において、デューティ比が変化しているにもかかわらず階調が変化しない領域が存在する。ここで、階調特性が立ち上がるポイントにおける電圧実効値を閾値電圧 V_{th} と呼ぶ。閾値電圧 V_{th} の値は液晶の組成に応じて異なるが、階調データの値に拘らずこの閾値電圧 V_{th} を与えるために、常にオン状態に設定されるサブフィールドを設ける必要がある。

【0008】

ここで、必要とされる画像の階調数を $2N$ とした時、1フレーム内に $2N$ のサブフィールドを設ける方式と、 $N+1$ のサブフィールドを設ける方式とが考えられる。前者の方式においては、各サブフィールド期間はほぼ等しい長さを有するが、電気光学装置の非線形特性を補償するために、必要に応じてサブフィールド期間は若干つつ増減される。これにより、前者の方式は電気光学装置の非線形特性を精密に補償できる点で有利である。

【0009】

一方、後者の方式においては、 $N+1$ のサブフィールド期間のうち N サブフィールドは、階調データの各ビットに対応付けられる。ここで20桁に対応付けられるサブフィールド期間は最短になり、他のサブフィールドは、対応するビットの桁数 M に応じて、最短サブフィールド長のほぼ $2M$ 倍の長さを有する。後者の方式は前者の方式と比較して、1フレーム内における画素のオン／オフ回数を少なくすることができ、消費電力を低く抑えられる点で有利である。

【0010】

【発明が解決しようとする課題】

ところで、画素の階調は、理想的には1フレーム内で画素がオン状態になるデューティ比によって決定される旨を述べたが、実際にはデューティ比のみによって決定されるわけではなく、オン状態になるサブフィールドが連続しているか否かによっても階調数が変化する。換言すれば、デューティ比が同一であったとしても、オン状態になるサブフィールドが1フレーム内に連続しているか断続しているかに応じて実際の階調が異なる。

【0011】

前者の方式（1フレーム内に $2N$ のサブフィールドを設ける方式）においては、階調データの値にかかわらず、オン状態になるサブフィールドを連続させることができる。従って、階調データに応じてオン状態になるサブフィールドのデューティ比を設定すれば、デューティ比の増加に応じて階調を単調増加させることが容易である。一方、後者の方式（ $N+1$ のサブフィールドを設ける方式）においては、階調データの値によって、オン状態となるサブフィールドが連続する場

合と断続する場合とに分かれる。

【0012】

たとえば、TFTを有する液晶表示装置をサブフィールドに分割して表示を行う場合、サブフィールドのデューティ比による実効電圧に応じて階調表示される。1フレーム内にどのようにオン期間とオフ期間を配置しようとも、オン期間の長さとおフ期間の長さの比にのみに応じて理想的には実効電圧が決定され階調が決まる。しかし、現実には、オン期間を連続して設ける場合と、オン期間を分割して設ける場合では、階調特性が同一とならない。これは、液晶の立ち上がり特性と立ち下がり特性が異なるために、オン期間を分割すればするほど、連続してオン期間を設けるものとは、階調表示が異なってしまうものと考えられる。

このため、階調データの増加に応じてオン状態になるサブフィールドのデューティ比を増加させていったとしても、階調がほとんど変化しない区間が生じる。また、甚だしい場合にはデューティ比を増加させているにもかかわらず階調が下がることもあり、階調制御に支障を来していた。

この発明は上述した事情に鑑みてなされたものであり、消費電力を低く抑えながら高精度の階調制御を可能とする電気光学装置の駆動回路、電気光学装置、請求項11載の電気光学装置、電気光学装置の駆動方法および電子機器を提供することを目的としている。

【0013】

【課題を解決するための手段】

上記課題を解決するため本発明にあっては、下記構成を具備することを特徴とする。なお、括弧内は例示である。

請求項1記載の構成にあっては、1フレームを複数のサブフィールドに分割し、マトリクス状に配設された複数の画素を階調データに基づいて該サブフィールド毎にオンまたはオフすることによって階調表示を行う電気光学装置の駆動方法であって、第1の重み付けを有し連続して発生される複数の第1のサブフィールド(SF1～SF3)と、第2の重み付けを有し連続して発生される複数の第2のサブフィールド(サブフィールドSF5～SF7)とのタイミングを規定するタイミング信号(スタートパルスDY)を生成するタイミング信号生成回路(ス

タートパルス発生回路 2 1 0) と、階調データを変化させるに伴い、前記第 1 のサブフィールドのうち前記第 2 のサブフィールドに近接するものから順次オン状態に設定され、かつ、前記第 2 のサブフィールドのうち前記第 1 のサブフィールドに近接するものから順次オン状態に設定されるように、前記第 1 および第 2 のサブフィールドのオン/オフ状態を指定するサブフィールドデータを生成するサブフィールドデータ生成回路(データ変換回路 3 0 0) とを有することを特徴とする。

さらに、請求項 2 記載の構成にあつては、請求項 1 記載の電気光学装置の駆動回路において、前記タイミング信号生成回路は、前記第 1 および第 2 のサブフィールドの間に階調データに拘らずオン状態になる第 3 のサブフィールド(SF4)のタイミング信号を生成することを特徴とする。

さらに、請求項 3 記載の構成にあつては、請求項 1 記載の電気光学装置の駆動回路において、前記サブフィールドデータ生成回路は、階調データの第 1 の部分(下位 2 ビット)の増加に伴って前記第 1 のサブフィールドのうち前記第 2 のサブフィールドに近接するものから順次オン状態に設定され、かつ、階調データの第 2 の部分(上位 2 ビット)の増加に伴って前記第 2 のサブフィールドのうち前記第 1 のサブフィールドに近接するものから順次オン状態に設定されるように、前記サブフィールドデータを生成することを特徴とする。

さらに、請求項 4 記載の構成にあつては、請求項 3 記載の電気光学装置の駆動回路において、前記階調データが偶数ビットから構成される場合は、前記第 1 および第 2 の部分はそれぞれ該階調データのビット数を 2 等分して成る下位データおよび上位データであり、前記階調データが奇数ビットから構成される場合は、前記第 1 および第 2 の部分は、一方が他方より 1 ビット多くなるように該階調データのビット数を分割して成る下位データおよび上位データであることを特徴とする。

また、請求項 5 記載の構成にあつては、前記電気光学装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極と、前記画素電極との間に液晶を挟んだ対向電極とを有する液晶装置であることを特徴とする。

さらに、請求項 6 記載の構成にあっては、請求項 5 記載の電気光学装置の駆動回路において、前記電気光学装置は、前記スイッチング手段を導通・非導通制御することにより前記画素電極及び前記対向電極に電荷を保持し、前記複数のサブフィールド期間にわたる実効電圧により液晶を制御して階調を表示することを特徴とする。

また、請求項 7 記載の構成にあっては、複数の走査線（112）と、複数のデータ線（114）と、これら走査線およびデータ線の各交差に対応して配設され画素を構成する画素電極（118）と、前記画素電極毎に設けられ、当該走査線を介して供給される走査信号によって、当該データ線と当該画素電極との導通を制御するスイッチング素子とを備えた素子基板（101）と、前記画素電極に対して対向配置された対向電極を備える対向基板と、前記素子基板と前記対向基板との間に挟持された電気光学材料（液晶 105）と、1 フレームを分割したサブフィールド毎に前記走査信号を前記走査線の各々に順次供給する走査線駆動回路（130）と、第 1 の重み付けを有し連続して発生される複数の第 1 のサブフィールド（SF1～SF3）と、第 2 の重み付けを有し連続して発生される複数の第 2 のサブフィールド（サブフィールド SF5～SF7）とのタイミングを規定するタイミング信号（スタートパルス DY）を生成するタイミング信号生成回路（スタートパルス発生回路 210）と、階調データが変化するに伴い、前記第 1 のサブフィールドのうち前記第 2 のサブフィールドに近接するものから順次オン状態に設定され、かつ、前記第 2 のサブフィールドのうち前記第 1 のサブフィールドに近接するものから順次オン状態に設定されるように、前記第 1 および第 2 のサブフィールドのオン／オフ状態を指定するサブフィールドデータを生成するサブフィールドデータ生成回路（データ変換回路 300）と、前記サブフィールドデータに基づくデータ信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路（140）とを具備することを特徴とする。

さらに、請求項 8 記載の構成にあっては、請求項 7 記載の電気光学装置において、前記タイミング信号生成回路は、前記第 1 および第 2 のサブフィールドの間に階調データに拘らずオン状態になる第 3 のサブフィールドのタイミング信号を

生成することを特徴とする。

さらに、請求項 9 記載の構成にあつては、請求項 7 記載の電気光学装置において、前記サブフィールドデータ生成回路は、階調データの第 1 の部分（下位 2 ビット）の増加に伴って前記第 1 のサブフィールドのうち前記第 2 のサブフィールドに近接するものから順次オン状態に設定され、かつ、階調データの第 2 の部分（上位 2 ビット）の増加に伴って前記第 2 のサブフィールドのうち前記第 1 のサブフィールドに近接するものから順次オン状態に設定されるように、前記サブフィールドデータを生成することを特徴とする。

さらに、請求項 1 0 記載の構成にあつては、請求項 9 記載の電気光学装置において、前記階調データが偶数ビットから構成される場合は、前記第 1 および第 2 の部分はそれぞれ該階調データのビット数を 2 等分して成る下位データおよび上位データであり、前記階調データが奇数ビットから構成される場合は、前記第 1 および第 2 の部分は、一方が他方より 1 ビット多くなるように該階調データのビット数を分割して成る下位データおよび上位データであることを特徴とする。

さらに、請求項 1 1 記載の構成にあつては、請求項 7 乃至 1 0 記載の電気光学装置において、前記画素電極との間に液晶を挟んだ対向電極を有することを特徴とする。

また、請求項 1 2 記載の構成にあつては、前記スイッチング手段を導通・非導通制御することにより前記画素電極及び前記対向電極に電荷を保持し、前記複数のサブフィールド期間にわたる実効電圧により液晶を制御して階調を表示することを特徴とする。

また、請求項 1 3 記載の構成にあつては、1 フレームを複数のサブフィールドに分割し、マトリクス状に配設された複数の画素を、階調データに基づいて、該サブフィールド毎にオンまたはオフすることによって階調表示を行う電気光学装置の駆動方法であつて、第 1 の重み付けを有し連続して発生される複数の第 1 のサブフィールドと、第 2 の重み付けを有し連続して発生される複数の第 2 のサブフィールドとが設定され、前記階調の変化に伴い、前記第 1 のサブフィールドのうち前記第 2 のサブフィールドに近接するものから順次オン状態に設定され、かつ、前記第 2 のサブフィールドのうち前記第 1 のサブフィールドに近接するもの

から順次オン状態に設定されるように、前記第1および第2のサブフィールドのオン/オフ状態を指定することを特徴とする。

さらに、請求項14記載の構成にあつては、請求項13記載の電気光学装置の駆動方法において、前記第1および第2のサブフィールドの間に階調データに拘らずオン状態になる第3のサブフィールドを配置することを特徴とする。

さらに、請求項15記載の構成にあつては、請求項13または14記載の電気光学装置の駆動方法において、前記階調データの第1の部分の増加に伴って前記第1のサブフィールドのうち前記第2のサブフィールドに近接するものから順次オン状態に設定し、かつ、階調データの第2の部分の増加に伴って前記第2のサブフィールドのうち前記第1のサブフィールドに近接するものから順次オン状態に設定することを特徴とする。

さらに、請求項16記載の構成にあつては、請求項15記載の電気光学装置の駆動方法において、前記階調データが偶数ビットから構成される場合は、前記第1および第2の部分はそれぞれ該階調データのビット数を2等分して成る下位データおよび上位データであり、前記階調データが奇数ビットから構成される場合は、前記第1および第2の部分は、一方が他方より1ビット多くなるように該階調データのビット数を分割して成る下位データおよび上位データであることを特徴とする。

さらに、請求項17記載の構成にあつては、請求項13乃至16記載の電気光学装置の駆動方法において、前記電気光学装置は、前記画素電極との間に液晶を挟んだ対向電極を有する液晶装置であることを特徴とする。

さらに、請求項18記載の構成にあつては、請求項17記載の電気光学装置の駆動方法において、前記電気光学装置は、前記スイッチング手段を導通・非導通制御することにより前記画素電極及び前記対向電極に電荷を保持し、前記複数のサブフィールド期間にわたる実効電圧により液晶を制御して階調を表示することを特徴とする。

また、請求項19記載の構成にあつては、請求項7乃至12の何れかに記載の電気光学装置を備えることを特徴とする。

【0014】

【発明の実施の形態】

1. 実施形態の構成

次に、本発明の一実施形態の電気光学装置の構成を図1を参照し説明する。

図において、タイミング信号生成回路200には、図示せぬ上位装置から垂直同期信号Vs、水平同期信号Hsおよび入力階調データD0～D3のドットクロック信号DCLKが供給される。また、発振回路150は、読み出しタイミングの基本クロックRCLKをタイミング信号生成回路200に供給する。タイミング信号生成回路200は、これらの信号にしたがって、次に説明する各種のタイミング信号やクロック信号などを生成するものである。まず、交流化信号FRは、1フレーム毎に極性反転する信号である。

【0015】

駆動信号LCOMは、対向基板の対向電極に印加される信号であり、本実施形態においては一定電位（零電位）になる。スタートパルスDYは、各サブフィールドにおいて最初に出力されるパルス信号である。クロック信号CLYは、走査側（Y側）の水平走査期間を規定する信号である。ラッチパルスLPは、水平走査期間の最初に出力されるパルス信号であって、クロック信号CLYのレベル遷移（すなわち、立ち上がりおよび立ち下がり）時に出力されるものである。クロック信号CLXは、表示用のドットクロック信号である。

【0016】

一方、素子基板101上における表示領域101aには、図においてX（行）方向に延在して複数本の走査線112が形成されている。また、複数本のデータ線114が、Y（列）方向に沿って延在して形成されている。そして、画素110は、走査線112とデータ線114との各交差に対応して設けられて、マトリクス状に配列されている。ここで、走査線112の総本数をm本とし、データ線114の総本数をn本とする（m、nはそれぞれ2以上の整数）。

【0017】

1. 1. <画素の構成>

画素110の具体的な構成としては、例えば、図2（a）に示されるものが挙げられる。この構成では、薄膜トランジスタ（TFT）116のゲートが走査線

112に、ソースがデータ線114に、ドレインが画素電極118に、それぞれ接続されるとともに、画素電極118と対向電極108との間に電気光学材料たる液晶105が挟持されて液晶層が形成されている。ここで、対向電極108は、後述するように、実際には画素電極118と対向するように対向基板に一面に形成される透明電極である。また、画素電極118と対向電極108との間においては蓄積容量119が形成されて、液晶層に蓄積される電荷のリークを防止している。なお、この実施形態では、蓄積容量119を画素電極118と対向電極108の間に形成したが、画素電極118と接地電位GND間や画素電極118とゲート線間等に形成しても良い。

【0018】

ここで、図2(a)に示される構成では、トランジスタ116として一方のチャネル型のみが用いられているために、オフセット電圧が必要となるが、図2(b)に示されるように、Pチャネル型トランジスタとNチャネル型トランジスタとを相補的に組み合わせた構成とすれば、オフセット電圧の影響をキャンセルすることができる。ただし、この相補型構成では、走査信号として互いに排他的レベルを供給する必要があるため、1行の画素110に対して走査線112a, 112bの2本の走査線が必要となる。

【0019】

1. 2. <走査線駆動回路130>

説明を再び図1に戻す。走査線駆動回路130は、サブフィールドの最初に供給されるスタートパルスDYをクロック信号CLYにしたがって転送し、走査線112の各々に走査信号G1, G2, G3, …, Gmとして順次排他的に供給するものである。

【0020】

1. 3. <データ変換回路300>

データ変換回路300について説明する前提として、本実施形態におけるサブフィールド駆動の内容を図10を参照し説明する。図において1フレーム(1F)は「7」サブフィールドSF1～SF7に分割されている。このうちサブフィールドSF4は、閾値電圧 V_{th} を与えるために、階調データに拘らず常時オン状

態になるサブフィールドである。本実施形態において、入力階調データはD0～D3の4ビットから構成される16階調のデータである。サブフィールドSF1～SF3は、画素の階調に対して「1」階調の重み付け与える長さに設定され、サブフィールドSF5～SF7は「4」階調の重み付けを与える長さに設定されている。

【0021】

サブフィールドSF1～SF3のオン／オフ状態は、入力階調データD0～D3の下位2ビットの値に応じて設定される。すなわち、下位2ビットが“00”の時はサブフィールドSF1～SF3は全てオフ状態になり、“01”の時はサブフィールドSF3のみがオン状態になり、“10”のときはサブフィールドSF2，SF3がオン状態になり、“11”のときはサブフィールドSF1～SF3の全てがオン状態になる。

【0022】

一方、サブフィールドSF5～SF7のオン／オフ状態は、入力階調データD0～D3の上位2ビットのオン／オフ状態に応じて決定される。すなわち、上位2ビットが“00”の時はサブフィールドSF5～SF7は全てオフ状態になり、“01”の時はサブフィールドSF5のみがオン状態になり、“10”のときはサブフィールドSF5，SF6がオン状態になり、“11”のときはサブフィールドSF5～SF7の全てがオン状態になる。

【0023】

以上のように各サブフィールドのオン／オフ状態を設定すると、階調データの値にかかわらず、図10に示すようにオン状態になるサブフィールドを1フレーム内で常に連続して発生させることができる。

ここに本実施形態の特徴がある。すなわち、16階調表示が要求される時、「5」(N+1)サブフィールドを設ける従来技術においては、階調データによってはオン状態になるサブフィールドが1フレーム内で断続的になるため、階調制御に支障を来していたが、本実施形態によればオン状態になるサブフィールドを常に連続させることができるため、高精度の階調制御を容易に行うことができる。また、16階調表示が要求される時、「16」(2^N)サブフィールドを設け

る従来例においては、1フレーム内の画素のオン／オフ回数が大きくなり消費電力が大きくなるが、本実施形態においては「7」サブフィールドによって16階調の表示が可能であるため、この従来例と比較して消費電力を大幅に低減できる利点がある。

【0024】

次に、図3を参照し、データ変換回路300の詳細構成について説明する。図において312はデコーダであり、階調データD0～D3が入力されると、階調データを各サブフィールドSF1～SF3，SF5～SF7のオン／オフ状態に対応するビットデータであるサブフィールドデータSD1～SD3，SD5～SD7に変換する。次に、321～327はメモリブロックであり、各々サブフィールドデータSD1～SD3，SD5～SD7を記憶するために設けられ、素子基板101の表示領域（m行×n列）に対応して各々m×nビットのメモリ空間を有する。

【0025】

メモリブロック321～327は、書込みおよび読出し動作を非同期に、かつ独立して実行できるように構成されている。310は書込みアドレス制御部であり、垂直同期信号Vs、水平同期信号Hsおよびドットクロック信号DCLKに同期して、ライトイネーブル信号WEおよび書込みアドレスWADを各メモリブロックに供給する。

【0026】

すなわち、書込みアドレス制御部310はドットクロック信号DCLKをカウントアップし、このカウント結果を書込みアドレスWADとして出力するとともに、書込みアドレスWADの値が確定する毎にライトイネーブル信号WEを出力する。また、書込みアドレス制御部310におけるカウント結果は、垂直同期信号Vsが入力される毎にリセットされる。これにより、各メモリブロック321～327には、そのm×nビットのメモリ空間を順次アクセスする書込みアドレスWADが供給され、サブフィールドデータSD1～SD3，SD5～SD7は対応するメモリブロック内の表示位置に応じたアドレスに順次格納されてゆくことになる。

【 0 0 2 7 】

一方、表示アドレス制御部 3 3 0 は、上記各サブフィールド期間が開始されると、対応する表示行のビットデータをアクセスするアドレス信号 RAD を出力する。アドレス信号 RAD は、クロック信号 CLX に同期し表示列数に応じて「 $n - 1$ 」回インクリメントされる。これにより、対応する表示行に対して第 1 列～第 n 列のビットを順次アクセスするようなアドレス信号 RAD が出力される。

【 0 0 2 8 】

また、読出し信号 RD 1 ～ 3, RD 5 ～ 7 は、各々対応するサブフィールド SF 1 ～ SF 3, SF 5 ～ SF 7 の期間中は常にイネーブル状態になり、それ以外のサブフィールド期間においてはオフ状態にされる。これにより、各サブフィールド SF 1 ～ SF 3, SF 5 ～ SF 7 においては、対応する一つのメモリブロックのみが読出し可能な状態になり、他のメモリブロックは読出し禁止状態になる。これにより、サブフィールド SF 1 が開始されると、メモリブロック 3 2 1 から、 m 行 \times n 列のサブフィールドデータ SD 1 が順次読み出される。

【 0 0 2 9 】

次に、サブフィールド SF 2, SF 3 においても、同様にメモリブロック 3 2 2, 3 2 3 がアクセスされ、各々 m 行 \times n 列のサブフィールドデータ SD 2, SD 3 が順次読み出される。次に、サブフィールド SF 4 においては、オン信号 S_on が H レベルに保持される。なお、オン信号 S_on は、サブフィールド SF 4 以外の期間においては L レベルに保持される。次に、サブフィールド SF 5 ～ SF 7 においても、同様にメモリブロック 3 2 5 ～ 3 2 7 がアクセスされ、各々 m 行 \times n 列のサブフィールドデータ SD 5 ～ SD 7 が順次読み出される。

3 3 2 はオア回路であり、これらサブフィールドデータ SD 1 ～ SD 3, SD 5 ～ SD 7 およびオン信号 S_on の論理和をデータ信号 Ds として出力する。

【 0 0 3 0 】

1. 4. < スタートパルス発生回路 2 1 0 >

上述したように本実施形態においては、サブフィールドの切り替わりはスタートパルス DY によって制御される。このスタートパルス DY はタイミング信号生成回路 2 0 0 の内部に設けられているスタートパルス発生回路により生成される

。そこで、その詳細構成を図5を参照し説明する。

【0031】

図において、スタートパルス発生回路210は、カウンタ211、コンパレータ212、マルチプレクサ213、リングカウンタ214、Dフリップフロップ215、およびオア回路216から構成されている。カウンタ211は、クロック信号CLYに同期するラインクロック信号LCLKをカウントするが、オア回路216の出力信号によってカウント値がリセットされるようになっている。また、オア回路216の一方の入力端には、フレームの開始において、ラインクロック信号LCLKの1周期の期間だけHレベルとなるリセット信号RESETが供給されるようになっている。したがって、カウンタ211は、少なくともフレームの開始時点において、カウント値がリセットされるようになっている。

【0032】

スタートパルス発生回路210のタイミングチャートを図9に示す。コンパレータ212は、カウンタ211のカウント値S211とマルチプレクサ213の出力データ値S213とを比較し、両者が一致する時、Hレベルとなる一致信号S212を出力する。ここで、マルチプレクサ213は、スタートパルスDYの数をカウントするリングカウンタ214のカウント結果S214に基づいて、計数データDc1, Dc2, ..., Dc7を選択出力する。ここで、計数データDc1, Dc2, ..., Dc7は、上記各サブフィールドSF1～SF7の時間を示すデータである。

【0033】

また、コンパレータ212は、カウンタのカウント値が、サブフィールドの区切りに達すると一致信号S212を出力する。この一致信号は、オア回路216を介してカウンタ211のリセット端子にフィードバックされるから、カウンタ211はサブフィールドの区切りから再びカウントを開始することになる。また、Dフリップフロップ215は、オア回路216の出力信号を、ラインクロック信号LCLKによってラッチして、スタートパルスDYを生成する。

【0034】

これにより、一致信号S212が立ち上がった後に最初にラインクロック信号LCLKが立ち上がるタイミングでスタートパルスDYが立ち上がる。一方、この

ラインクロック信号 LCLK の立上りによって、カウント値 S211 と出力データ値 S213 とが一致しなくなるから、一致信号 S212 は L レベルになる。従って、次にラインクロック信号 LCLK が立ち上がった時に、この L レベルの一致信号 S212 が D フリップフロップ 215 にラッチされるから、スタートパルス DY が L レベルになる。このようにして、各サブフィールドの最初にスタートパルス DY が出力されるのである。

【0035】

1. 5. <データ線駆動回路 140>

次に、データ線駆動回路 140 は、ある水平走査期間においてデータ信号 Ds をデータ線 114 の本数に相当する n 個順次ラッチした後、ラッチした n 個のデータ信号 Ds を、次の水平走査期間において、電位選択回路 1408 を介して、それぞれ対応するデータ線 114 にデータ信号 d1, d2, d3, ... dn として一斉に供給するものである。ここで、データ線駆動回路 140 の具体的な構成は、図 4 に示される通りである。すなわち、データ線駆動回路 140 は、X シフトレジスタ 1402 と、第 1 のラッチ回路 1404 と、第 2 のラッチ回路 1406 と、電位選択回路 1408 とから構成されている。

【0036】

このうち X シフトレジスタ 1402 は、水平走査期間の最初に供給されるラッチパルス LP をクロック信号 CLX にしたがって転送し、ラッチ信号 S1, S2, S3, ..., Sn として順次排他的に供給するものである。次に、第 1 のラッチ回路 1404 は、データ信号 Ds をラッチ信号 S1, S2, S3, ..., Sn の立ち下がりにおいて順次ラッチするものである。そして、第 2 のラッチ回路 1406 は、第 1 のラッチ回路 1404 によりラッチされたデータ信号 Ds の各々をラッチパルス LP の立ち下がりにおいて一斉にラッチし、電位選択回路 1408 に転送する。

【0037】

電位選択回路 1408 は、交流化信号 FR に基づいてこれらのラッチした二値信号を電位に変換し、データ信号 d1, d2, d3, ..., dn としてデータ線 114 に印加するものである。すなわち、交流化信号 FR が L レベルであれば、データ

信号 $d_1, d_2, d_3, \dots, d_n$ の H レベルは電位 V_1 に、L レベルは零電位に変換される。一方、交流化信号 FR が H レベルであれば、データ信号 $d_1, d_2, d_3, \dots, d_n$ の H レベルは電位 $-V_1$ に、L レベルは零電位に変換される。

【0038】

1. 6. <液晶装置の構成>

上述した電気光学装置の構造について、図 6 (a), (b) を参照して説明する。ここで、同図 (a) は、電気光学装置 100 の構成を示す平面図であり、同図 (b) は、同図 (a) における A - A' 線の断面図である。これらの図に示されるように、電気光学装置 100 は、画素電極 118 などが形成された素子基板 101 と、対向電極 108 などが形成された対向基板 102 とが、互いにシール材 104 によって一定の間隙を保って貼り合わせられるとともに、この間隙に電気光学材料としての液晶 105 が挟持された構造となっている。なお、実際には、シール材 104 には切欠部分があって、ここを介して液晶 105 が封入された後、封止材により封止されるが、これらの図においては省略されている。ここで、素子基板 101 および対向基板 102 はガラスや石英などの非晶質基板である。そして、画素電極 118 等は、素子基板 101 に半導体薄膜を堆積して成る TFT によって形成されている。すなわち、電気光学装置 100 は、透過型として用いられることになる。

【0039】

さて、素子基板 101 において、シール材 104 の内側かつ表示領域 101a の外側領域には、遮光膜 106 が設けられている。この遮光膜 106 が形成される領域内のうち、領域 130a には走査線駆動回路 130 が形成され、また領域 140a にはデータ線駆動回路 140 が形成されている。すなわち、遮光膜 106 は、この領域に形成される駆動回路に光が入射するのを防止している。この遮光膜 106 には、対向電極 108 とともに、駆動信号 LCOM が印加される構成となっている。このため、遮光膜 106 が形成された領域では、液晶層への印加電圧がほぼゼロとなるので、画素電極 118 の電圧無印加状態と同じ表示状態となる。

【0040】

また、素子基板101において、データ線駆動回路140が形成される領域140a外側であって、シール材104を隔てた領域107には、複数の接続端子が形成されて、外側からの制御信号や電源などを入力する構成となっている。一方、対向基板102の対向電極108は、基板貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材（図示省略）によって、素子基板101における遮光膜106および接続端子と電気的な導通が図られている。すなわち、駆動信号LCOMは、素子基板101に設けられた接続端子を介して、遮光膜106に、さらに、導通材を介して対向電極108に、それぞれ印加される構成となっている。

【0041】

ほかに、対向基板102には、電気光学装置100の用途に応じて、例えば、直視型であれば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、金属材料や樹脂などからなる遮光膜（ブラックマトリクス）が設けられる。なお、色光変調の用途の場合には、例えば、後述するプロジェクタのライトバルブとして用いる場合には、カラーフィルタは形成されない。また、直視型の場合、電気光学装置100に光を素子基板101側から照射するバックライトが必要に応じて設けられる。

【0042】

くわえて、素子基板101および対向基板102の電極形成面には、それぞれ所定の方向にラビング処理された配向膜（図示省略）など設けられて、電圧無印加状態における液晶分子の配向方向を規定する一方、素子基板101と対向基板102には、配向方向に応じた偏向板（図示省略）が設けられる。ただし、液晶105として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有効である。

【0043】

2. 実施形態の動作

次に、上述した実施形態に係る電気光学装置の動作について説明する。図7は、この電気光学装置の動作を説明するためのタイミングチャートである。まず、

交流化信号FRは、1フレーム(1F)ごとに極性反転する信号である。一方、スタートパルスDYは、各サブフィールドの開始時に供給される。

【0044】

ここで、交流化信号FRがLレベルとなる1フレーム(1F)において、スタートパルスDYが供給されると、走査線駆動回路130(図1参照)におけるクロック信号CLYにしたがった転送によって、走査信号G1, G2, G3, ..., G_mが期間(t)に順次排他的に出力される。なお、期間(t)は、最も短いサブフィールドSF1よりもさらに短い期間に設定されている。

【0045】

さて走査信号G1, G2, G3, ..., G_mは、それぞれクロック信号CLYの半周期に相当するパルス幅を有し、また、上から数えて1本目の走査線112に対応する走査信号G1は、スタートパルスDYが供給された後、クロック信号CLYが最初に立ち上がってから、少なくともクロック信号CLYの半周期だけ遅延して出力される構成となっている。したがって、スタートパルスDYが供給されてから、走査信号G1が出力されるまでに、ラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されることになる。

【0046】

そこで、このラッチパルスLPの1ショット(G0)が供給された場合について検討してみる。まず、このラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されると、データ線駆動回路140(図4参照)におけるクロック信号CLXにしたがった転送によって、ラッチ信号S1, S2, S3, ..., S_nが水平走査期間(1H)に順次排他的に出力される。なお、ラッチ信号S1, S2, S3, ..., S_nは、それぞれクロック信号CLXの半周期に相当するパルス幅を有している。

【0047】

この際、図4における第1のラッチ回路1404は、ラッチ信号S1の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114との交差に対応する画素110へのデータ信号Dsをラッチし、次に、ラッチ信号S2の立ち下がりにおいて、上から数えて1本目の走査線112

と、左から数えて2本目のデータ線114との交差に対応する画素110へのデータ信号Dsをラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えてn本目のデータ線114との交差に対応する画素110へのデータ信号Dsをラッチする。

【0048】

これにより、まず、図1において上から1本目の走査線112との交差に対応する画素1行分のデータ信号Dsが、第1のラッチ回路1404により点順次的にラッチされることになる。なお、データ変換回路300は、第1のラッチ回路1404によるラッチのタイミングに合わせて、各画素の階調データD0～D3をデータ信号Dsに変換して出力することはいうまでもない。

【0049】

次に、クロック信号CLYが立ち下がって、走査信号G1が出力されると、図1において上から数えて1本目の走査線112が選択される結果、当該走査線112との交差に対応する画素110のトランジスタ116がすべてオンとなる。一方、当該クロック信号CLYの立ち下がりによってラッチパルスLPが出力される。そして、このラッチパルスLPの立ち下がりタイミングにおいて、第2のラッチ回路1406は、第1のラッチ回路1404によって点順次的にラッチされたデータ信号Dsを、電位選択回路1408を介して、対応するデータ線114の各々にデータ信号d1, d2, d3, ..., dnとして一斉に供給する。このため、上から数えて1行目の画素110においては、データ信号d1, d2, d3, ..., dnの書込が同時に行われることとなる。

【0050】

この書込と並行して、図1において上から2本目の走査線112との交差に対応する画素1行分のデータ信号Dsが、第1のラッチ回路1404により点順次的にラッチされる。そして、以降同様な動作が、m本目の走査線112に対応する走査信号Gmが出力されるまで繰り返される。すなわち、ある走査信号Gi (iは、 $1 \leq i \leq m$ を満たす整数) が出力される1水平走査期間(1H)においては、i本目の走査線112に対応する画素110の1行分に対するデータ信号d1, d2, d3, ..., dnの書込と、(i+1)本目の走査線112に対応する画素

110の1行分に対するデータ信号Dsの点順次的なラッチとが並行して行われることになる。なお、画素110に書き込まれたデータ信号は、次のサブフィールドSF2における書込まで保持される。

【0051】

以下同様な動作が、サブフィールドの開始を規定するスタートパルスDYが供給される毎に繰り返される。さらに、1フレーム経過後、交流化信号FRがHレベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返される。

【0052】

3. 電子機器の具体例

3. 1. <プロジェクタ>

次に、上述した電気光学装置を具体的な電子機器に用いた例のいくつかについて説明する。

まず、上記実施形態に係る電気光学装置をライトバルブとして用いた投射型表示装置であるプロジェクタについて説明する。

図8(a)は、投射型表示装置の要部を示す概略構成図である。

図中、1431は光源、1442, 1444はダイクロイックミラー、1443, 1448, 1449は反射ミラー、1445は入射レンズ、1446はリレーレンズ、1447は出射レンズ、100R, 100G, 100Bは上記電気光学装置による液晶光変調装置、1451はクロスダイクロイックプリズム、1437は投射レンズを示す。

【0053】

光源1431はメタルハライド等のランプ1440とランプの光を反射するリフレクタ1441とからなる。青色光・緑色光反射のダイクロイックミラー1442は、光源1431からの光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー1443で反射されて、赤色光用液晶光変調装置100Rに入射される。一方、ダイクロイックミラー1442で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー1444によって反射され、緑色光用液晶光変調装置100Gに入射される。一方、青

色光は第2のダイクロイックミラー1444も透過する。

【0054】

青色光に対しては、長い光路による光損失を防ぐため、入射レンズ1445、リレーレンズ1446、出射レンズ1447を含むリレーレンズ系からなる導光手段が設けられ、これを介して青色光が青色光用液晶光変調装置100Bに入射される。各光変調装置により変調された3つの色光はクロスダイクロイックプリズム1451に入射する。このプリズムは4つの直角プリズムが貼り合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって3つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投射光学系である投射レンズ1437によってスクリーン1452上に投射され、画像が拡大されて表示される。

【0055】

3. 2. <モバイル型コンピュータ>

次に、上記電気光学装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図8(b)は、このパーソナルコンピュータの構成を示す正面図である。図において、モバイル型コンピュータ1200は、キーボード1202を備えた本体部1204と、表示ユニット1206とから構成されている。この表示ユニット1206は、先に述べた電気光学装置100の後方にバックライトを付加することにより構成されている。

【0056】

3. 3. <携帯電話器>

さらに、上記電気光学装置を、携帯電話器に適用した例について説明する。図8(c)は、この携帯電話器の構成を示す斜視図である。図において、携帯電話器1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306とともに、電気光学装置100を備えるものである。この電気光学装置100にも、必要に応じてその後方にバックライトが設けられる。

【0057】

3. 4. <その他>

電子機器としては、以上説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、上述した電気光学装置が適用可能なのは言うまでもない。

【0058】

4. 変形例

本発明は上述した実施形態に限定されるものではなく、例えば以下のように種々の変形が可能である。

(1) 上記実施形態にあつては、常時オン状態になるサブフィールドSF4と、階調に応じてオン／オフ状態が設定されるサブフィールドSF1～SF3，SF5～SF7によって1フレームが構成されが、さらに常時オフとなるサブフィールドを追加してもよい。その一例を図11に示す。図示の例においては、サブフィールドSF7の後に、階調データに拘らずオフ状態になるサブフィールドSF8が設けられている。かかる構成によれば、画像調整等のためにサブフィールドSF1～SF7の何れかの期間を若干増減した時に、その差分だけサブフィールドSF8の期間を増減すれば全サブフィールド長の合計を1フレームに相当の長さに設定できる。従つて、他のサブフィールド期間を増減する必要がなくなり、調整作業を省力化することができる。

【0059】

(2) また、上記実施形態においては、階調数を「16」とした例を説明したが、階調数は「16」に限られず任意である。その一例として、階調数を「64」とした場合の階調データに応じたサブフィールドのオン／オフ状態を示すタイミングチャートを図12に示す。図において1フレーム(1F)は「15」サブフィールドSF1～SF15に分割されている。このうちサブフィールドSF8は、閾値電圧 V_{th} を与えるために、階調データに拘らず常時オン状態になるサブフィールドである。この変形例において、入力階調データはD0～D5の6ビットから構成される64階調のデータである。サブフィールドSF1～SF7は、画素の階調に対して「1」階調の重み付けを与える長さに設定され、サブフィール

ドSF9～SF15は「8」階調の重み付けを与える長さに設定されている。

【0060】

サブフィールドSF1～SF7のオン／オフ状態は、入力階調データD0～D5の下位3ビットの値に応じて設定される。すなわち、下位3ビットが“000”の時はサブフィールドSF1～SF7は全てオフ状態になり、“001”の時はサブフィールドSF7のみがオン状態になり、“010”のときはサブフィールドSF6，SF7がオン状態になり、“011”のときはサブフィールドSF5～SF7がオン状態になる。以下、同様に、下位3ビットの部分の値が増加するにつれて、サブフィールドSF7からサブフィールドSF1に向かってオン状態になるサブフィールドの数が増加する。

【0061】

一方、サブフィールドSF9～SF15のオン／オフ状態は、入力階調データD0～D5の上位3ビットのオン／オフ状態に応じて決定される。すなわち、上位3ビットが“000”の時はサブフィールドSF5～SF7は全てオフ状態になり、“001”の時はサブフィールドSF9のみがオン状態になり、“010”のときはサブフィールドSF9，SF10がオン状態になる。以下、同様に、上位3ビットの部分の値が増加するにつれて、サブフィールドSF9からサブフィールドSF15に向かってオン状態になるサブフィールドの数が増加する。以上のように各サブフィールドのオン／オフ状態を設定すると、階調データの値にかかわらず、図12に示すようにオン状態になるサブフィールドを常に連続して発生させることができる。

【0062】

(3) 上記実施形態においては、階調データのビット数を2等分して上位と下位に分け、下位ビットによって重み付けの小さい(「1」階調)のサブフィールドSF1～SF3のオン／オフ状態を設定し、上位ビットによって重み付けの大きい(「4」階調)のサブフィールドSF5～SF7のオン／オフ状態を設定した。このように、上位ビット数と下位ビット数とが等しくなるように(全体のビット数が奇数の時は何れかが1ビットだけ多くなるように)分割すれば、全体のサブフィールド数を最小にすることができる。また、図12に示した変形例も同様

であり、全6ビットが上位3ビット+下位3ビットに2等分されている。しかし、本発明はこれに限定されるわけではなく、例えば上位2ビット+下位4ビットのように分割してもよいことは言うまでもない。

【0063】

(4) 上述した実施形態にあっては、交流化信号FRを1フレームの周期で極性反転することとしたが、本発明は、これに限られず、例えば、2フレーム以上の周期で極性反転する構成としても良い。ただし、上述した実施形態において、データ変換回路300は、スタートパルスDYをカウントするとともに、当該カウント結果を交流化信号FRの遷移によってリセットすることで、現状のサブフィールドを認識する構成としたので、交流化信号FRを2フレーム以上の周期で極性反転する場合には、フレームを規定するための何らかの信号を与える必要が生じる。

【0064】

(5) 上記実施形態において対向電極108に印加する駆動信号LCOMは零電位であったが、各画素に印加される電圧はトランジスタ116の特性、蓄積容量119や液晶の容量等によって、電圧がシフトする場合がある。この様な場合には、対向電極108に印加する駆動信号LCOMのレベルを電圧のシフト量に応じてずらしてもよい。

【0065】

(6) また、上記実施形態においては、電気光学装置を構成する素子基板101をガラスや石英などの非晶質基板とし、ここに半導体薄膜を堆積してTFTを形成して透過型としたが、本発明は、これに限られない。例えば、素子基板101が対向基板102に反射層を設けて反射型としたり、素子基板101を不透明な半導体基板によって構成し、画素電極118をアルミニウムなどの反射性金属から形成し、対向基板102をガラスなどから構成すると、電気光学装置100を反射型として用いることができる。

【0066】

(7) 上記実施形態においては、走査信号G1, G2, G3, …, G_mを順次排他的に出力することによって走査線112を上から順に選択する例を挙げたが、走査

線 1 1 2 の選択順序はこれに限定されるものではなく、例えば走査信号を「G1, G11, G21, …, G2, G12, G22, …, G3, G13, G23, …」の如く、複数ライン毎に飛ばしながら出力し、1 サブフィールド内で全ラインの走査線 1 1 2 を選択するようにしてもよい。

【0 0 6 7】

【発明の効果】

以上説明したように本発明によれば、第 1 の重み付けを有し連続して発生される複数の第 1 のサブフィールドと、第 2 の重み付けを有し連続して発生される複数の第 2 のサブフィールドとを設け、第 1 のサブフィールドのうち第 2 のサブフィールドに近接するものから順次オン状態に設定され、かつ、第 2 のサブフィールドのうち第 1 のサブフィールドに近接するものから順次オン状態に設定されるように、第 1 および第 2 のサブフィールドのオン／オフ状態を指定するから、各サブフィールドの連続性を高めることができ、消費電力を低く抑えながら高精度の階調制御を行うことが可能である。

【図面の簡単な説明】

【図 1】 本発明の一実施形態の電気光学装置の電氣的構成を示すブロック図である。

【図 2】 上記実施形態における画素の構成例を示す図である。

【図 3】 上記実施形態におけるデータ変換回路 3 0 0 のブロック図である。

【図 4】 上記実施形態におけるデータ線駆動回路 1 4 0 のブロック図である。

【図 5】 上記実施形態におけるスタートパルス発生回路 2 1 0 のブロック図である。

【図 6】 上記実施形態における電気光学装置の構造図である。

【図 7】 上記実施形態の電気光学装置のタイミングチャートである。

【図 8】 同電気光学装置を適用した各種電子機器の例を示す図である。

【図 9】 スタートパルス発生回路 2 1 0 のタイミングチャートである。

【図 1 0】 上記実施形態において階調データに応じたサブフィールドのオ

ン／オフ状態を示すタイミングチャートである。

【図 1 1】 上記実施形態の変形例における、階調データに応じたサブフィールドのオン／オフ状態を示すタイミングチャートである。

【図 1 2】 上記実施形態の他の変形例における、階調データに応じたサブフィールドのオン／オフ状態を示すタイミングチャートである。

【符号の説明】

- 1 0 1 ……素子基板
- 1 0 1 a ……表示領域
- 1 0 2 ……対向基板
- 1 0 4 ……シール材
- 1 0 5 ……液晶
- 1 0 6 ……遮光膜
- 1 0 7 ……領域
- 1 0 8 ……対向電極
- 1 1 0 ……画素
- 1 1 2 ……走査線
- 1 1 4 ……データ線
- 1 1 6 ……トランジスタ
- 1 1 8 ……画素電極
- 1 1 9 ……蓄積容量
- 1 3 0 ……走査線駆動回路
- 1 4 0 ……データ線駆動回路
- 1 5 0 ……発振回路
- 2 0 0 ……タイミング信号生成回路
- 2 1 0 ……スタートパルス発生回路（タイミング信号生成回路）
- 2 1 1 ……カウンタ
- 2 1 5 ……Dフリップフロップ
- 2 1 6 ……オア回路
- 3 0 0 ……データ変換回路（サブフィールドデータ生成回路）

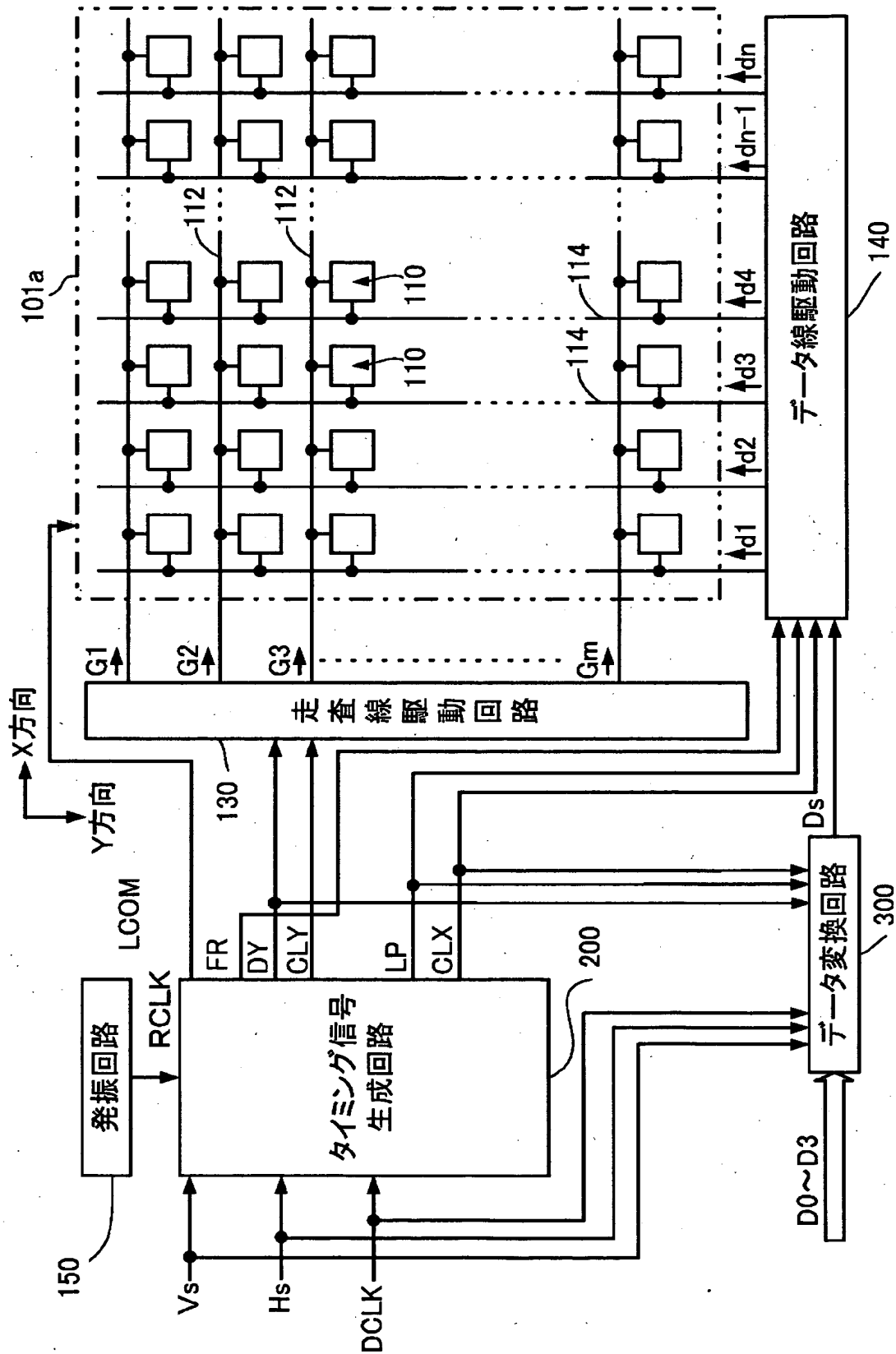
3 1 0 ……書込みアドレス制御部
 3 1 2 ……デコーダ
 3 2 1 ～ 3 2 7 ……メモリブロック
 3 2 2 ……メモリブロック
 3 3 0 ……表示アドレス制御部
 3 3 2 ……オア回路
 1 1 0 0 ……プロジェクタ
 1 1 1 0 ……偏光照明装置
 1 1 1 2 ……ランプ
 1 1 1 4 ……リフレクタ
 1 1 2 0 ……第 1 のインテグレータレンズ
 1 1 3 0 ……偏光変換素子
 1 1 4 0 ……偏光ビームスプリッタ
 1 1 4 1 ……偏光光束反射面
 1 1 5 1 ……ダイクロイックミラー
 1 1 5 2 ……ダイクロイックミラー
 1 1 6 0 ……投写光学系
 1 1 7 0 ……スクリーン
 1 2 0 0 ……モバイル型コンピュータ
 1 2 0 2 ……キーボード
 1 2 0 4 ……本体部
 1 2 0 6 ……表示ユニット
 1 3 0 0 ……携帯電話器
 1 3 0 2 ……操作ボタン
 1 3 0 4 ……受話口
 1 3 0 6 ……送話口
 1 4 0 2 ……シフトレジスタ
 1 4 0 4 ……第 1 のラッチ回路
 1 4 0 6 ……第 2 のラッチ回路

1 4 0 8 …… 電位選択回路
1 4 3 0 …… プロジェクタ
1 4 3 1 …… 光源
1 4 3 7 …… 投射レンズ
1 4 4 0 …… ランプ
1 4 4 2, 1 4 4 4 …… ダイクロイックミラー
1 4 4 3, 1 4 4 8, 1 4 4 9 …… 反射ミラー
1 4 4 5 …… 入射レンズ
1 4 4 6 …… リレーレンズ
1 4 4 7 …… 出射レンズ
1 4 5 1 …… クロスダイクロイックプリズム
1 4 5 2 …… スクリーン

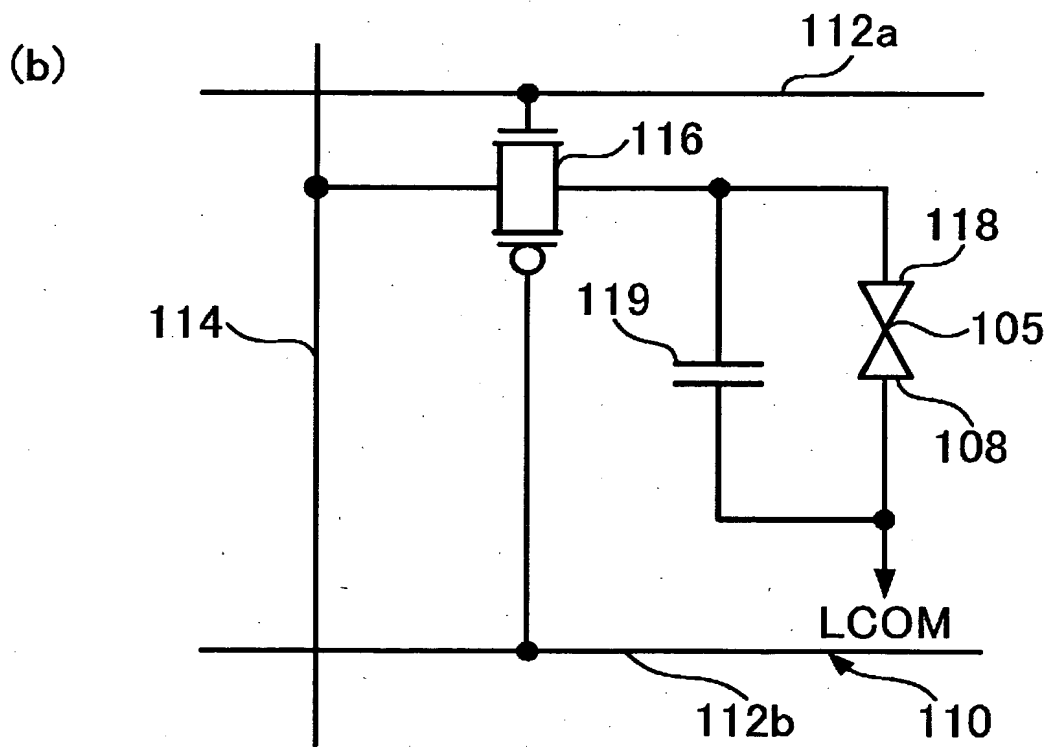
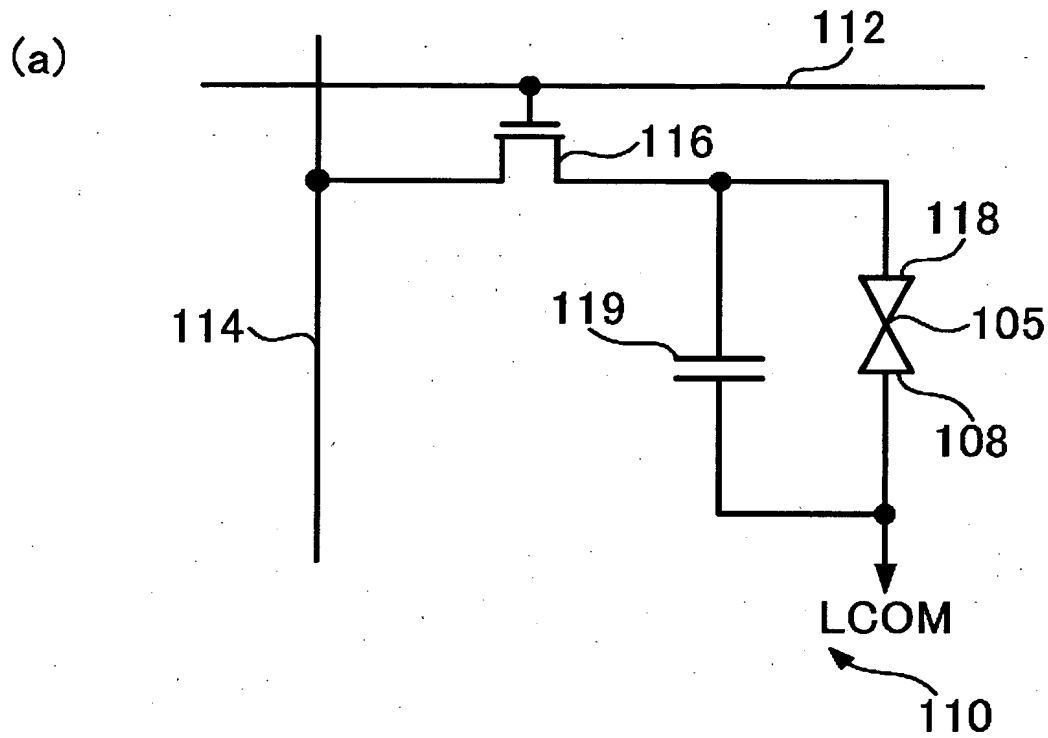
特 2 0 0 1 - 0 6 7 6 4 6

【書類名】 図面

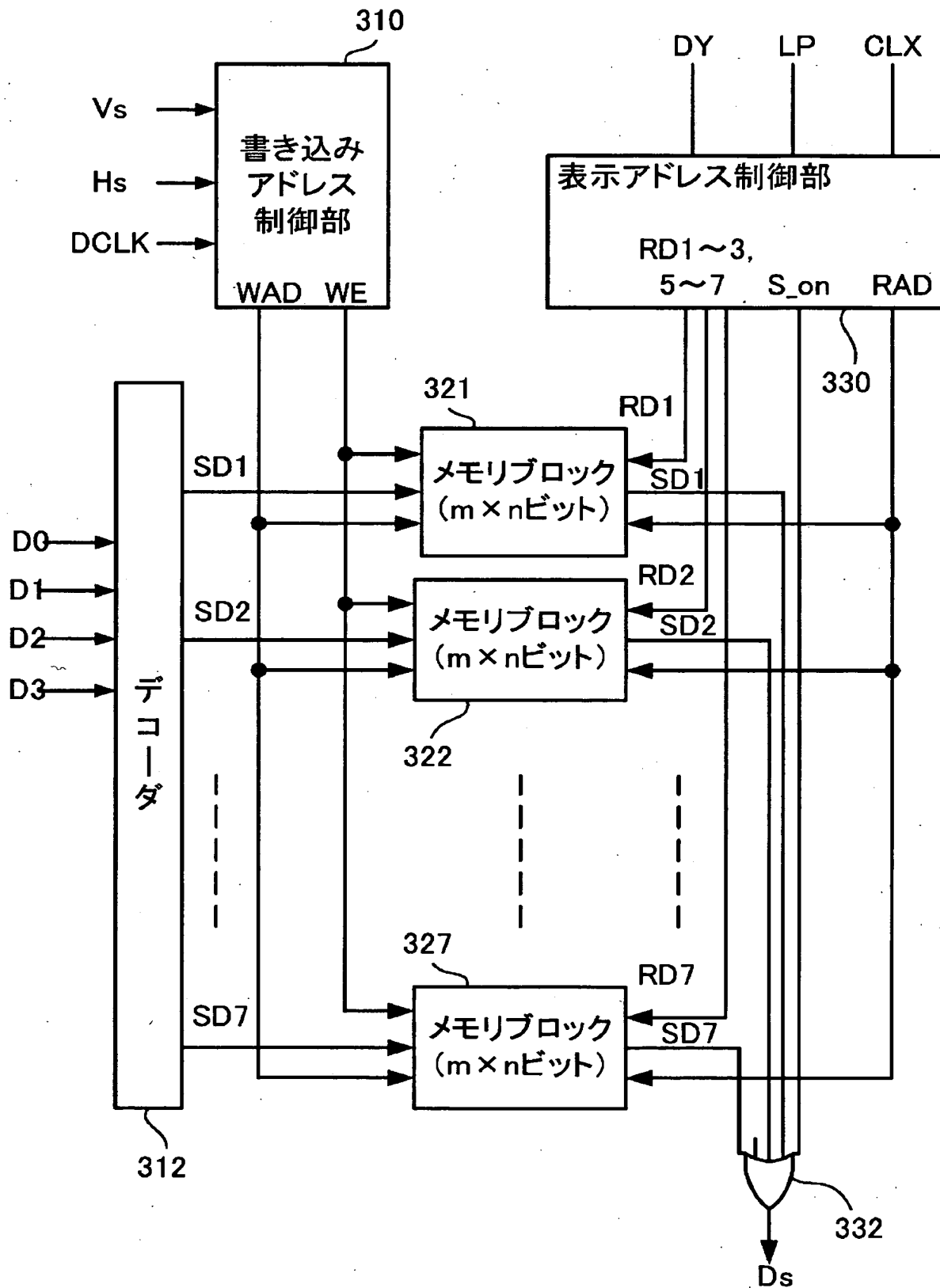
【図1】



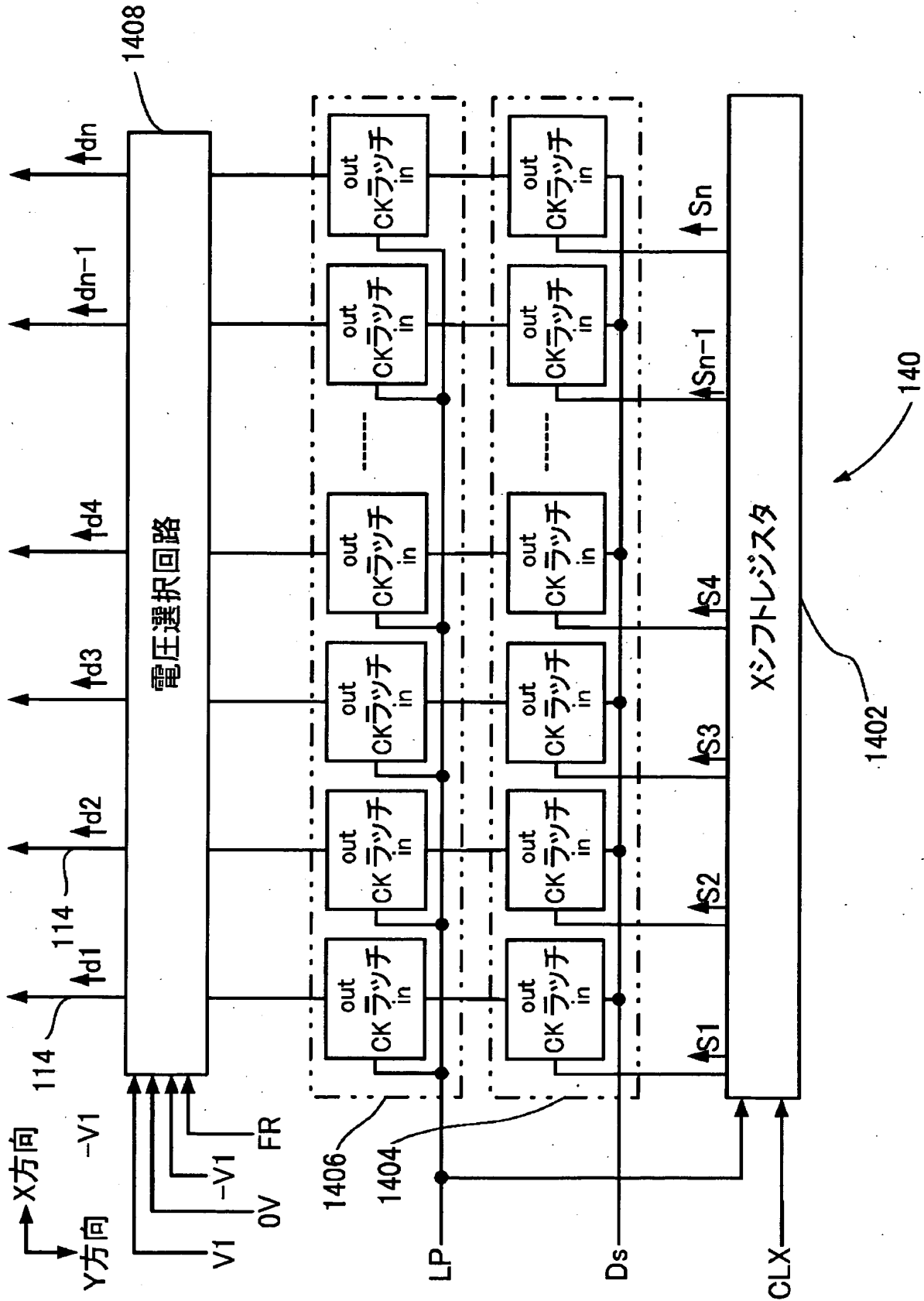
【図 2】



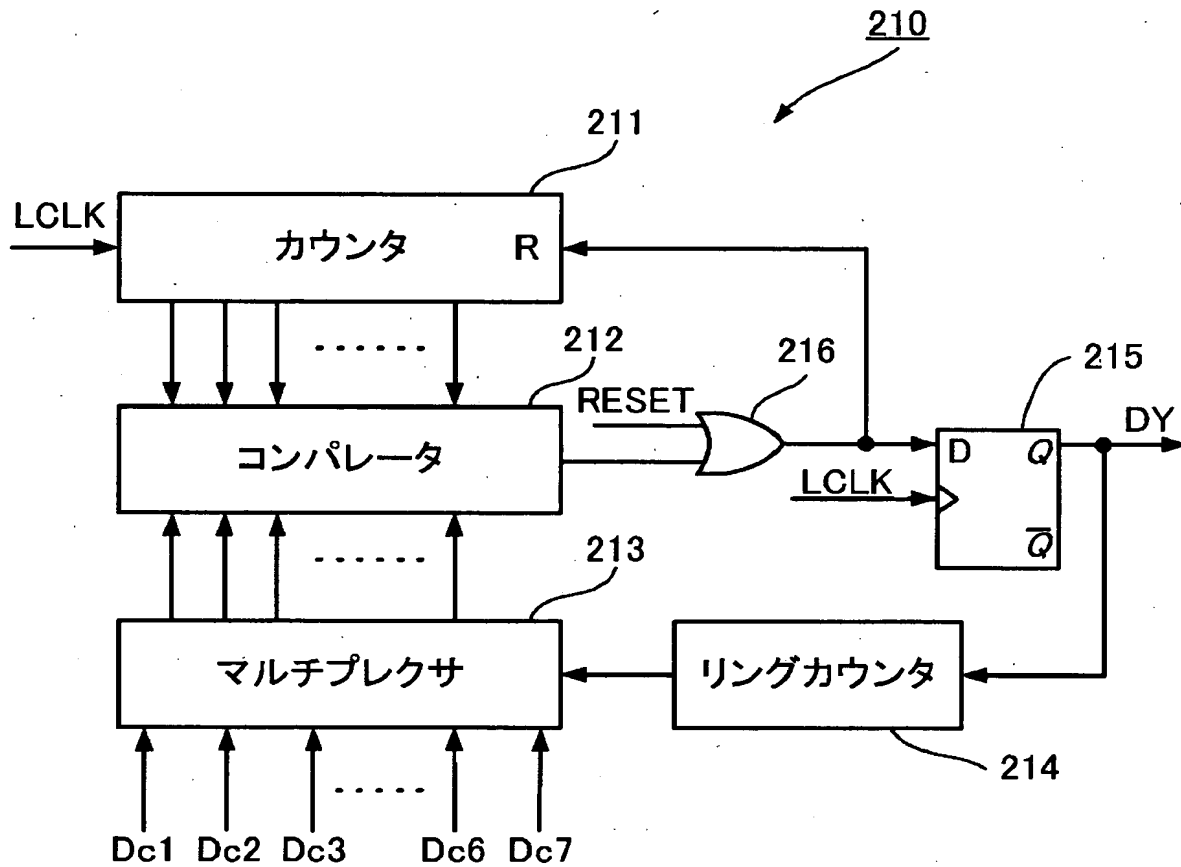
【図3】



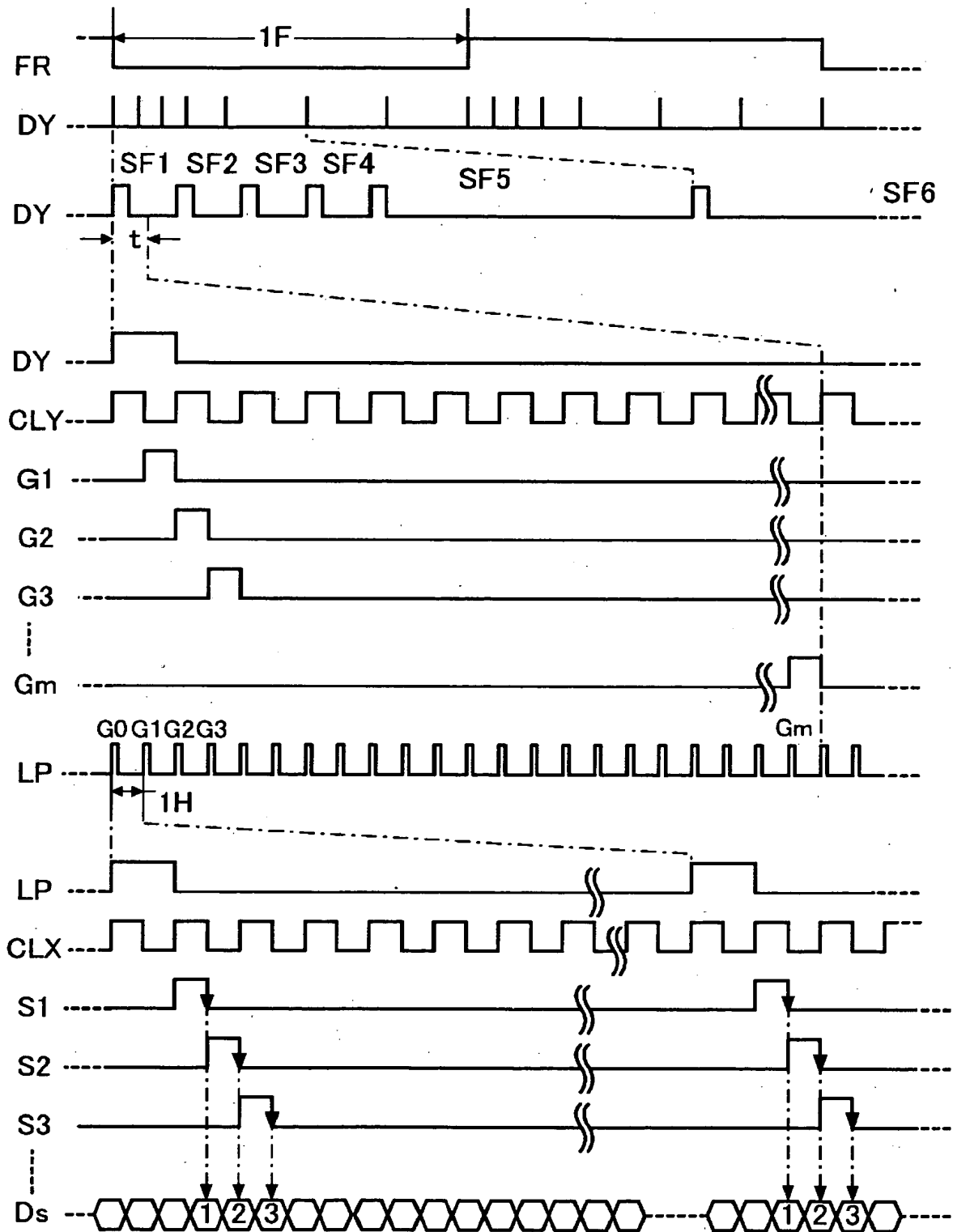
【図 4】



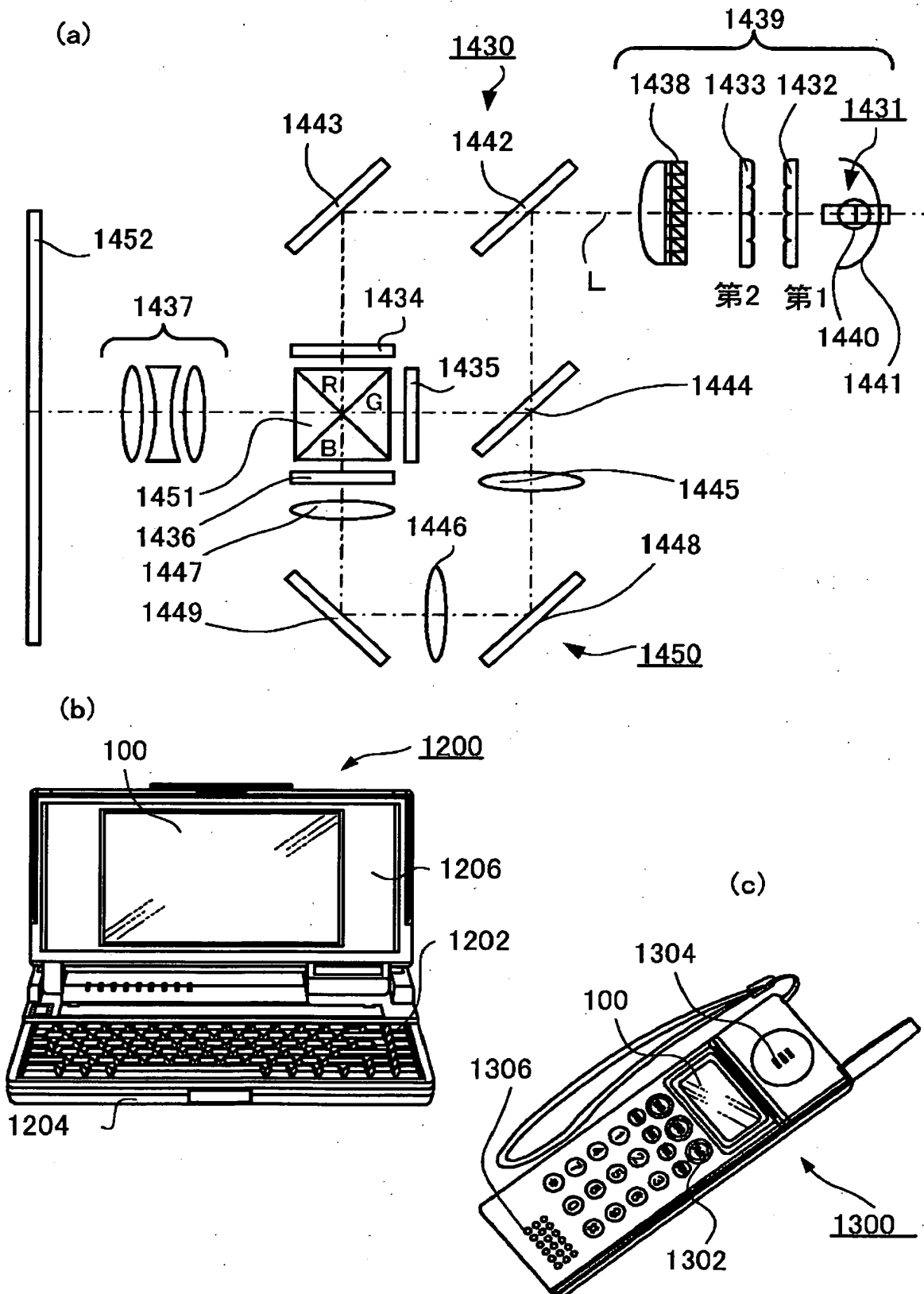
【図 5】



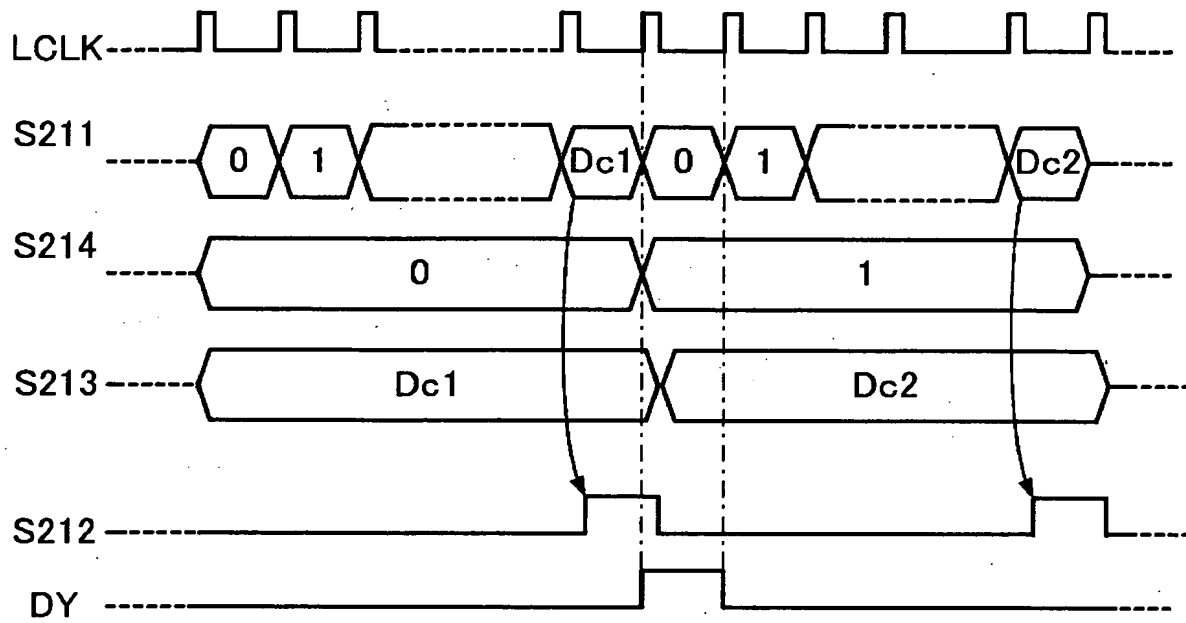
【図 7】



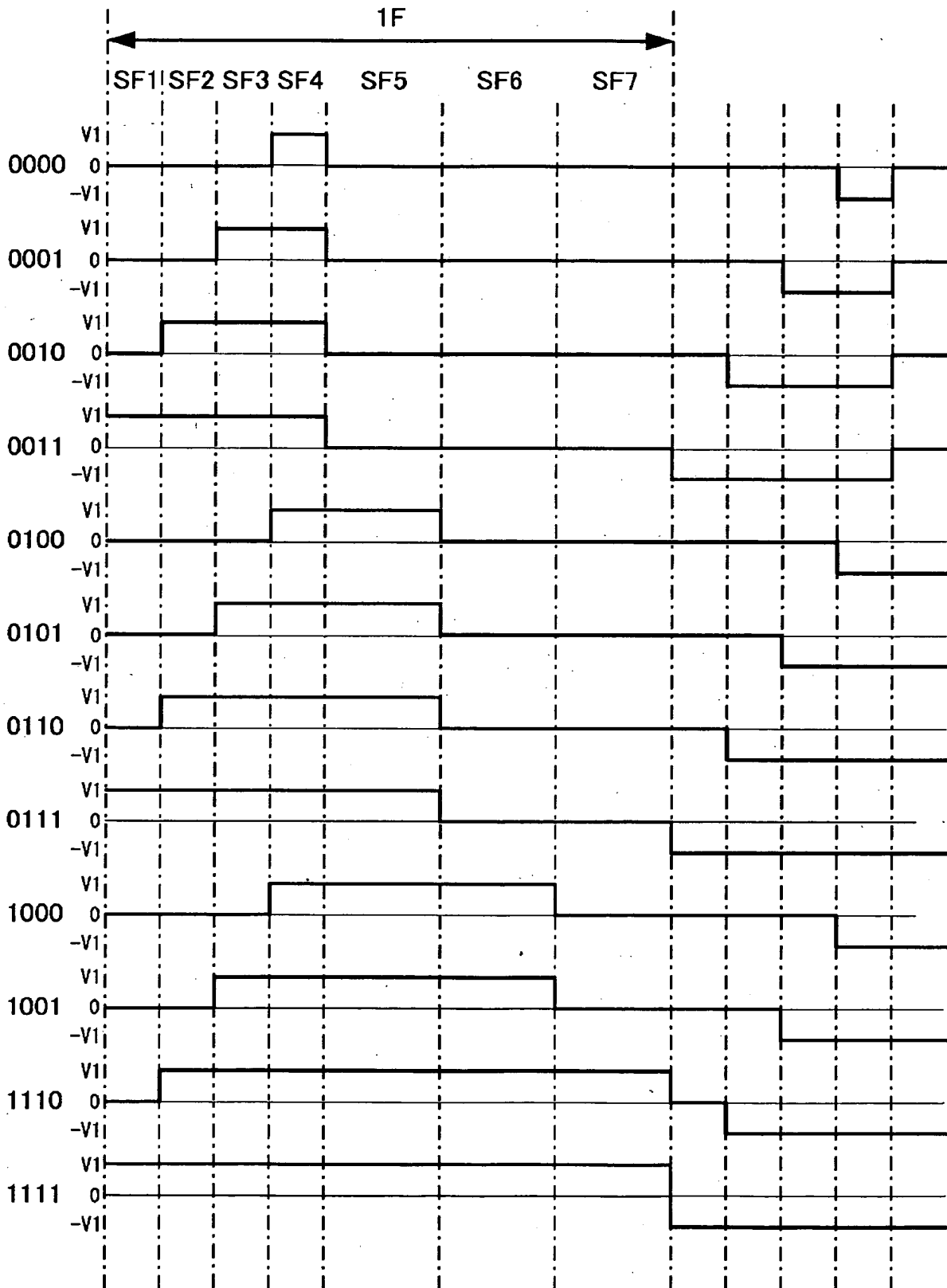
【図 8】



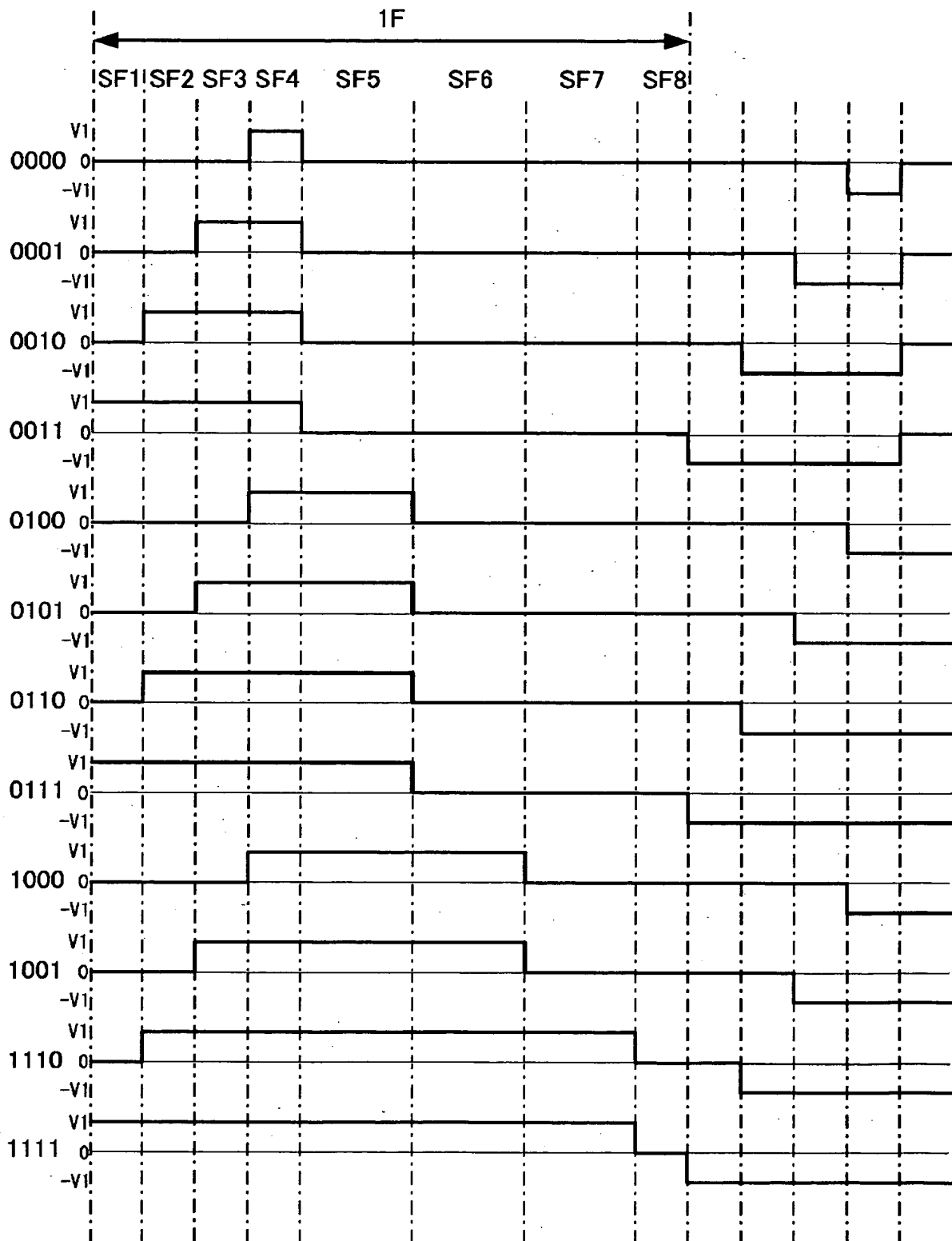
【図9】



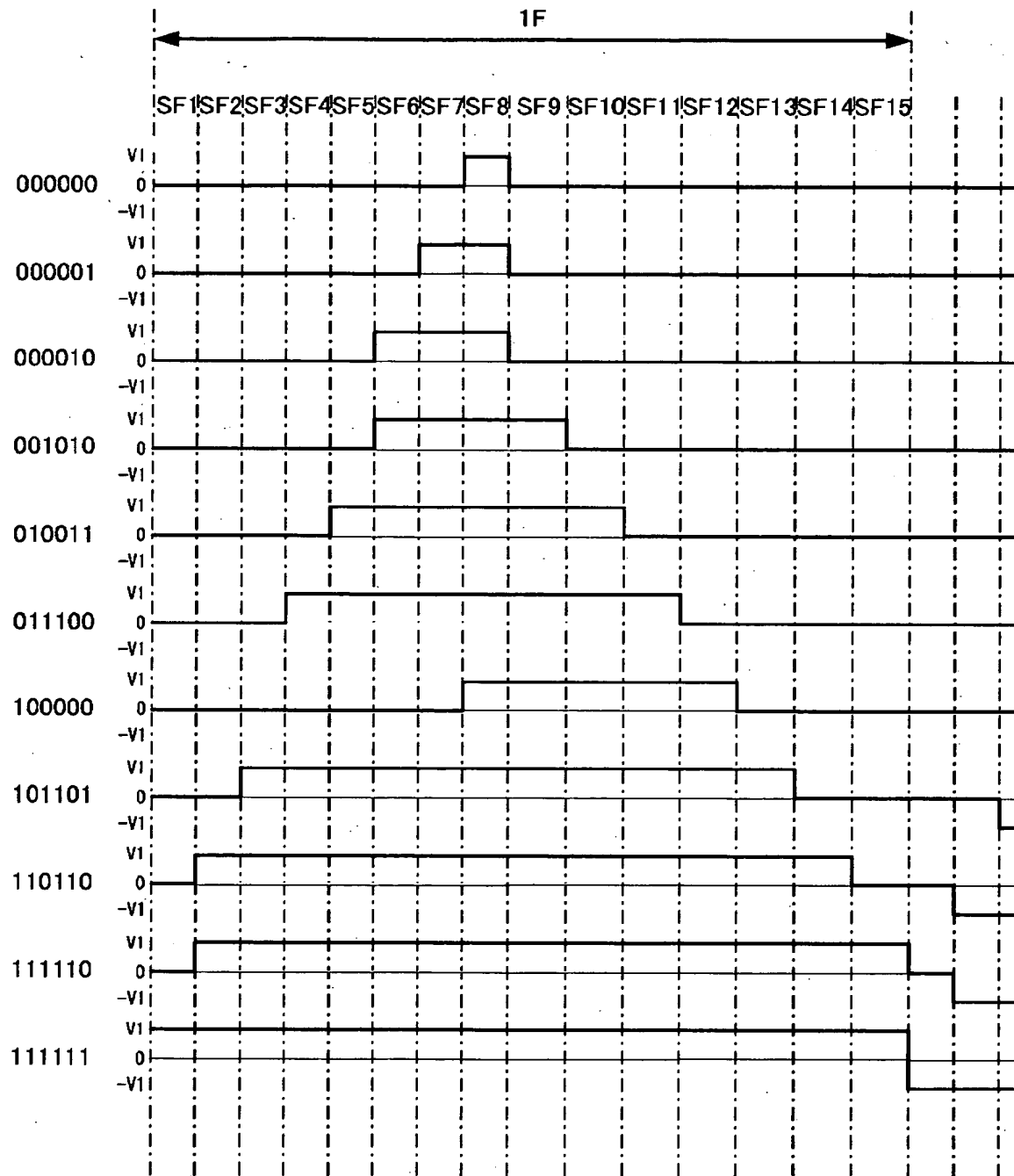
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 サブフィールド駆動型の電気光学装置において、消費電力を低く抑えながら高精度の階調制御を行う。

【解決手段】 階調データ（全4ビット）の下位2ビットに対応するサブフィールドSF1～SF3と、常時オン状態になるサブフィールドSF4と、階調データの上位2ビットに対応するサブフィールドSF5～SF7を設けた。これらサブフィールドは、階調データに従って、サブフィールドSF4から両端に向かって広がるように、連続的にオン状態に設定される。これにより、オン状態のサブフィールドが断続することによる各種不具合を回避することができる。

【選択図】 図10

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社